

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-35959

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)2月7日

H 01 L 29/78
27/12

3 1 1

G-7925-5F
7514-5F

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭62-191023

⑰ 出 願 昭62(1987)7月30日

⑱ 発 明 者 佐 野 豊 宮城県柴田郡柴田町大字中名生字神明堂3-1 リコー応
用電子研究所株式会社内
⑱ 発 明 者 池 口 弘 東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑱ 発 明 者 寺 尾 典 之 宮城県柴田郡柴田町大字中名生字神明堂3-1 リコー応
用電子研究所株式会社内
⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
⑲ 出 願 人 リコー応用電子研究所 宮城県柴田郡柴田町大字中名生字神明堂3-1
株式会社
⑳ 代 理 人 弁理士 佐田 守雄 外1名

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

1. 絶縁基板上のチャンネルを形成する活性層とゲート電極との間のゲート絶縁膜が堆積法により作製したSiO₂膜をハロゲン原子を含む酸素雰囲気中でアニールしたものであることを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

技術分野

本発明は薄膜トランジスタに関するものであり、さらに詳しくは活性層とゲート電極との間のゲート絶縁膜が堆積法により作製したSiO₂膜をハロゲン原子を含む酸素雰囲気中でアニールしたものである薄膜トランジスタに関するものである。

本発明は水素化アモルファスシリコン薄膜の光導電性を利用したファクシミリ送信側装置のセンサ駆動回路部分あるいはアクティブマトリ

ックス型の液晶表示装置の液晶駆動および駆動回路部分に応用可能である。

従来技術

現在、オフィス・オートメーション(OA)機器の軽薄短小化が急速に進んでいる。例えばファクシミリの送信側装置として重要な画像読取装置は縮小光学系と単結晶Siを用いた電荷結合素子(CCD)の組合せにより小型化が進んだ。そして最近ではこの縮小光学系の不要な等倍センサーが主流となって来た。この等倍センサーのセンサーアレイの光導電層には水素化アモルファスシリコン(a-Si:H)等が用いられており、絶縁基板上に形成されている。そしてセンサーアレイからの信号を読み取る回路の実装方法としては、外付の大規模集積回路を用いる方法と、センサーアレイと同一基板上に(薄膜トランジスタ(TFT)を作り込む方法とがある。デバイスの小型化という点を考慮すれば、前者よりも後者の方法がはるかに有利である。TFTのチャンネルが形成される活性層の材料としては水素化

アモルファスシリコン(a-Si:H)やポリシリコン(poly-Si)が用いられている。高速スイッチング速度が要求される場合にはa-Si:Hよりもキャリア移動度の大きいpoly-Siが用いられる。

別の例として液晶ディスプレイについても同様のことがいえる。すなわち単純マトリックスディスプレイを外付LSIで動かす場合に比べて、TFTを組み込んだアクティブマトリックスディスプレイの方が、画面サイズが同じ場合には後者の方がデバイスサイズははるかに小さくなり、また表示品位も上である。

従来のTFTの一例を第1図に示す。このTFTは、絶縁基板1上に活性層5、ゲート絶縁膜4、ゲート電極6、ソース2、ドレイン3を形成した後、層間絶縁膜7を堆積し、そして層間絶縁膜7にコンタクトホール16を開けた後、金属電極配線8を作製してなるものである。ここでゲート絶縁膜4は次のa)またはb)に示す様なプロセスにより作製している。

a) 1100℃、3% HCl/97% O₂によるドライ酸化

b) 950℃、H₂/O₂によるパイロジェニック酸化
ゲート絶縁膜として熱酸化膜を用いた場合、Si-SiO₂の界面単位密度が低く、現在のところ最も優れた特性を持っている。しかしながら、熱酸化膜作製の温度は950℃以上と高いので、使用できる絶縁基板の種類が限られ、基板もしくは雰囲気中に存在する不純物が活性層中にオートドーピングする問題がある。

こうした欠点を改善する方法としては以下の様なものがある。

(1) 高圧酸化

高圧容器の中で酸素雰囲気中で低温で酸化膜を作製する。

(2) 陽極酸化

HNO₃、H₃PO₄等の電解液中で陽極酸化反応を利用して酸化膜を作製する。

(3) 堆積酸化膜

化学蒸着法、物理蒸着法により酸化膜を低温で堆積させる。

(1)、(2)の方法は活性層の酸化反応を低温で

行っており、また(3)の方法は活性層の上に酸化膜を低温で堆積している。しかしながらこうした方法には次の様な欠点がある。

(1)の方法は高圧容器が必要となり、装置が高価であり、また生産効率も低い。

(2)、(3)の方法は酸化膜の膜質が悪く、また活性層と酸化膜間の界面単位密度が高いという問題がある。

目 的

本発明は従来の欠点を克服した薄膜トランジスタで、活性層とゲート絶縁膜の界面およびその近傍に発生するトラップ密度を減少させ、低いプロセス温度で、スレッシホールド電圧が安定であり、かつオン・オフ電流比の大きな高品質の薄膜トランジスタを提供することを目的とする。

構 成

本発明者は前記目的を形成するために鋭意研究した結果、絶縁基板上のチャンネルを形成する活性層とゲート電極との間のゲート絶縁膜が

堆積法により作製したSiO₂膜をハロゲン原子を含む酸素雰囲気中でアニールしたものであることを特徴とする薄膜トランジスタを提供することによって前記目的が達成できることを見出した。

すなわち、本発明の薄膜トランジスタはチャンネルを形成する活性層が好ましくはポリシリコン薄膜あるいはアモルファスシリコン、特に水素化アモルファスシリコン薄膜であり、かつゲート絶縁膜が堆積法により形成したSiO₂膜をハロゲン原子を含む酸素雰囲気中でアニールしたものであることを特徴とするものである。

以下に本発明の一実施例を示す第2図を参照してさらに詳しく説明する。

第2図において、本発明に係る薄膜トランジスタは石英、パイレックス等の絶縁基板1上にa-Si:H薄膜あるいはpoly-Si薄膜からなる活性層5が、そして本発明によるゲート酸化膜10、ゲート電極6、ソース2、ドレイン3が形成されており、これらの上には層間絶縁膜7が積層

されている。そして、この層間絶縁膜上および層間絶縁膜に形成されたコンタクトホール上には金属電極配線8が設けられている。素子の構成としては、従来例と変わるところはない。

ここで本発明における堆積法により形成したSiO₂膜をハロゲン原子を含む酸素雰囲気中でアニールして得たゲート酸化膜について説明する。堆積酸化膜の作製方法にはプラズマCVD法、減圧CVD法、スパッタリング法等がある。いずれの方法も十分に清浄化された活性層の上にSiO₂を堆積するのではあるが、基板温度が低い等の理由により、活性層とSiO₂膜間の界面およびその近傍に発生する電荷は非常に多い。この電荷を減らすのに、適当な温度でハロゲン原子を含む酸素雰囲気中でアニールすることは、大きな効果がある。

この方法により活性層とゲート酸化膜の界面およびその近傍に存在する電荷の少ない、すぐれたゲート絶縁膜を低温プロセスで作製する事が可能である。

を十分に洗浄した後、活性層となるpoly-Si膜11を減圧CVD法により630℃で約1700Åの厚さで堆積する。

- (2) poly-Si膜11をパターニングする(第3図(a)参照)。
- (3) 減圧CVD法により低圧酸化膜17を1200Åの厚さで堆積する(第3図(b)参照)。

製膜条件は以下の通りである。

基板温度	430℃
SiH ₄ 流量	80SCCM
O ₂ 流量	200SCCM
圧力	0.2Torr

- (4)、(3)で製膜した堆積酸化膜17をハロゲン原子を含む酸素雰囲気中で約2時間アニールする。

アニール条件は以下の通りである。

基板温度	850℃
5% HCl/95% O ₂ 流量	5 l/min
圧力	大気圧

- (5) poly-Siゲート電極6を約5000Åの厚さ

ここでアニールの適当な条件としては、温度が800~900℃であり、アニール時間は1~10時間であり、ハロゲン原子を含む酸素雰囲気とは1~10%ハロゲンガス/O₂であり、圧力は一般に1気圧である。

以上、本発明の薄膜トランジスタの代表的製造例を示したが、絶縁基板1に含まれる不純物が活性層5に向けて拡散するのを防ぐために活性層5と絶縁基板1との間にPSG膜及びSiO₂膜からなる2層の絶縁膜を設けても良い。

また金属電極配線8の段切れ及び金属電極配線とソース2あるいはドレイン3間の電流リークを防止するために層間絶縁膜7を低温CVD法により形成したSiO₂膜またはPSG膜及び高温CVD法によって形成したSiO₂膜の2層構造としても良い。

次に、本発明のTFTの作製例を第3図を参照して説明する。

例 1

- (1) 表面を十分に研磨した透明石英ガラス1

で堆積する。

- (5) poly-Siゲート電極6およびアニールし堆積酸化膜10をパターニングする(第3図(c)参照)。

- (7) 次に前記poly-Si半導体層11にソース領域2及びドレイン領域3を形成するためにp-チャンネルトランジスタの場合にはBなどの不純物を熱拡散またはイオンインプランテーションなどによってドーピングし、n-チャンネルトランジスタの場合にはP、As、Sbなどをドーピングし、半導体層11はソース領域2、ドレイン領域3及び活性領域5の構成となる(第3図(d)参照)。

- (8) 減圧CVD法によりPSG膜7を1μmの厚さで堆積し、層間絶縁膜とする(第3図(e)参照)。

- (9) コンタクトホール16をあけ、ソース、ドレインからA₂電極配線8をとり出す(第3図(f)参照)。

以上述べたプロセスにより作製したp-チャ

ンネルあるいはn-チャンネルTFTの動作特性は、ゲート酸化膜を従来の熱酸化プロセスにより作製したものと較べて、何らその色はなかった。またこれらのTFTをB.T.ストレス試験にかけたところ、スレッシュホールド電圧のシフトおよびオン電流・オフ電流の変化は全く観察されなかった。さらに本発明によるTFTでCMOSを作製し、シフトレジスタを構成したところ、その最高駆動周波数にはB.T.ストレス試験前後で変化はみられなかった。

例 2

例1のプロセス(3)において、堆積酸化膜として高温酸化膜を減圧CVD法により作製した。製膜条件は以下の通りである。

基板温度	850℃
SiH ₄ 流量	30SCCM
N ₂ O 流量	1000SCCM
N ₂ 流量	150SCCM
圧 力	0.2Torr

こうして作製したp-チャンネルあるいはn-

チャンネルTFT、さらにCMOSについて例1と同様な動作試験をしたところ、例1と同様良好な結果が得られた。

さらに例1あるいは例2で作製したCMOS TFTと同一基板上にa-Si-Hセンサーを一体化して作り込みA4サイズのラインセンサーを作製したところ、A4サイズの写真1枚を読み取るのに要する時間は1sec以下であり、また読み取った原稿の画質もきわめて良好であった。

効 果

以上のように本発明によれば、堆積法により形成したSiO₂膜をハロゲン原子を含む酸素雰囲気中でアニールしたものをゲート酸化膜として用いるので、低温プロセスでありながらも活性層とゲート絶縁膜の界面およびその近傍に発生する電荷を減らす事が可能であり、スレッシュホールド電圧、オン電流・オフ電流比等のトランジスタ動作特性が常に安定したすぐれた薄膜トランジスタを容易に作製できるという効果を有する。

4. 図面の簡単な説明

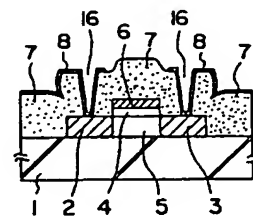
第1図は従来のTFTの一例を示す説明図である。

第2図は本発明に係るTFTの一実施例を示す説明図である。

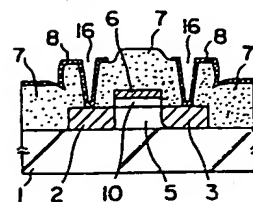
第3図は本発明に係るTFTの作製工程図である。

- | | |
|-----------------|----------|
| 1…絶縁基板 | 2…ソース |
| 3…ドレイン | 4…ゲート絶縁膜 |
| 5…活性層 | 6…ゲート電極 |
| 7…層間絶縁膜 | 8…金属電極配線 |
| 10…本発明によるゲート酸化膜 | |
| 11…poly-Si半導体層 | |
| 16…コンタクトホール | |
| 17…堆積酸化膜 | |

第1図



第2図



特許出願人 株式会社 リコー 外1名

代理人 弁理士 佐田 守 雄 外1名



第 3 図

